

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-076133

(43)Date of publication of application : 26.03.1993

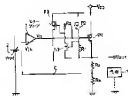
(51)Int.Cl.

H02H 7/20

(21)Application number : 03-130377 (71)Applicant : NEW JAPAN RADIO CO
LTD

(22)Date of filing : 02.05.1991 (72)Inventor : KOBAYASHI KAZUO

(54) SHORT CIRCUIT PROTECTIVE CIRCUIT FOR POWER SUPPLY IC



(57)Abstract:

PURPOSE: To realize stabilized short circuit protection without enlarging the size of transistor by pulling the voltage upto the power supply voltage of a driver transistor upon detection of short circuit through an error amplifier and providing a cut-off voltage from the error amplifier to the driver transistor.

CONSTITUTION: Upon short circuit of a load 3, voltage at point C is pulled down to the earth and a high current flows through an operating driver FET element P1. On the other hand, current flowing through a resistor R1 also increases. Consequently, the gate-source voltage of a FET element N1 increases to turn the

FET element N1 ON thus turning a pull-up FET element P3 ON. Consequently, power supply voltage VDD is applied through the pull-up FET element P3 and the point C onto the positive input terminal of an error amplifier 1. Voltage at point C is temporarily pulled down to the earth but it is pulled up instantaneously to the power supply voltage VDD.

LEGAL STATUS

[Date of request for examination] 27.02.1998

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3192437

[Date of registration] 25.05.2001

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIPI are not responsible for any
damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The driver transistor for supplying the power source of a predetermined electrical potential difference to a load, The error amplifier which detects what the power outlet short-circuited and outputs predetermined cut-off voltage to the gate terminal of a driver transistor, In the short circuit protection network of the voltage regulator which protects a short circuit by ****(ing) and carrying out off actuation of the driver transistor with the above-mentioned error amplifier The short circuit protection network of the voltage regulator characterized by having carried out pull-up of the input terminal side of error amplifier to the supply voltage of a driver transistor when the above-mentioned error amplifier detected a short circuit, and considering as the configuration which outputs cut-off voltage to a driver transistor from error amplifier.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the configuration of the short circuit protection network of the voltage regulator for supplying the power source of a predetermined electrical potential difference to various equipments.

[0002]

[Description of the Prior Art] The short circuit protection network of a voltage regulator is used for various power sources for equipments, such as a power source for cars, a business-machine dexterous power source, and a power source for home electronics, for example, has composition like drawing 3 . The FET component P1 of a P channel, and P2 and P3, in drawing 3 , a protection network is FET (the electrolysis effectiveness mold transistor) of CMOS (complementary MOS). The FET component N1 of an N channel, resistance R1, and R2 are prepared, and it is the above-mentioned FET component P1. A source terminal is connected to a power source (VDD), and the duty as a driver transistor is carried out. Moreover, the above FETP3 The above-mentioned driver FET component P1 The duty which carries out pull-up of the potential by the side of the gate to supply voltage VDD is carried out. This driver FET component P1 While the output side of the error amplifier 1 which detects the short circuit condition of a power outlet is connected to a gate terminal, it is the above-mentioned FET component P3 for pull-up to the output side of this error amplifier 1. The drain terminal is connected. And the source 2 of reference voltage is connected to the negative input terminal of this error amplifier 1, and it is the power-outlet terminal Vout in a plus input terminal. Sense resistance R3 It minds and connects and this error amplifier 1 is the reference reference voltage Vref. A short circuit condition is detected as compared with the partial pressure value of an output terminal electrical potential difference. Furthermore, the above-mentioned driver FET component P1 In a drain terminal, it is an output

terminal Vout. While connecting, it is the sense resistance R3 and R4. It connects and is this sense resistance R3 and R4. A midpoint is connected to the plus input terminal of the above-mentioned error amplifier 1.

[0003] According to such a circuit, it is an output terminal Vout. Although a load 3 will be connected, supposing this load 3 short-circuits by a certain cause, for the A point potential of drawing, the plus input terminal voltage of pulldown **** and the error amplifier 1 is reference voltage Vref to a ground. Since it falls, while detecting a short circuit condition with this error amplifier 1, only a predetermined electrical potential difference reduces output voltage. if an output connects too hastily on the other hand -- driver FET component P1 **** -- since a bigger current than usual flows -- the electrical potential difference between the source-drains of the FET component N1 -- increasing -- FET component N1 while turning on -- FET component P3 for pull-up ON actuation is carried out. When it does so, it is this FET component P3 for pull-up. Since it minds and supply voltage VDD is impressed to the B point of drawing, pull-up of the electrical potential difference by the side of the output terminal of the error amplifier 1 is carried out promptly to supply voltage VDD, and as a result, it is the driver FET component P1. The electrical potential difference near supply voltage VDD is supplied to a gate terminal, and it is the driver FET component P1. It is cut off. Thus, driver FET component P1 An overcurrent can be prevented, therefore protection of IC circuit can be performed.

[0004]

[Problem(s) to be Solved by the Invention] However, in the above-mentioned conventional short circuit protection network, it is the driver FET component P1. It is the above-mentioned FET component P3 for pull-up in order to pull up gate voltage to supply voltage VDD. There was a problem that field size, i.e., a W/L ratio, had to be enlarged. That is, at the time of a short circuit, it is the above-mentioned FET component P3 for pull-up. Although FET (see FETN3 of below-mentioned drawing 2) of the N channel in the above-mentioned error amplifier 1 carries out ON actuation simultaneously, it is the FET component P3 for pull-up

by relation with this FET. In order to give predetermined cut-off voltage promptly, it is the FET component P3 for pull-up. It is necessary to make the resistance between the source-drains at the time of ON actuation smaller than before. For that, the FET component of the N channel for example, in the error amplifier 1 is large to about 4 to 5 times, the above-mentioned W/L ratio had to be carried out, and there was a problem that IC circuit will be enlarged.

[0005] This invention is made in view of the above-mentioned trouble, and the object is in offering the short circuit protection network of the voltage regulator which can perform stable short circuit protection, without enlarging size of the transistor for pull-up.

[0006]

[Means for Solving the Problem] A driver transistor for this invention to supply the power source of a predetermined electrical potential difference to a load, in order to attain the above-mentioned object, The error amplifier which detects what the power outlet short-circuited and outputs predetermined cut-off voltage to the gate terminal of a driver transistor, In the short circuit protection network of the voltage regulator which protects a short circuit by ****(ing) and carrying out off actuation of the driver transistor with the above-mentioned error amplifier It is characterized by having carried out pull-up of the input (forward) terminal side of error amplifier to the supply voltage of a driver transistor, when the above-mentioned error amplifier detected a short circuit, and considering as the configuration which outputs cut-off voltage to a driver transistor from error amplifier by this.

[0007]

[Function] According to the above-mentioned configuration, when a load short-circuits, pull-up for example, of the plus input terminal side of error amplifier will be carried out with the FET component for pull-up to supply voltage, and pull-up also of the output side of error amplifier will be carried out by this to supply voltage. Therefore, a driver transistor will be cut off by the output of the above-mentioned error amplifier, and it is protected from a short circuit condition with it. In the above-mentioned case, the FET component for pull-up makes the sense

resistance connected to the N channel FET [in error amplifier], or ground side of a driver transistor between grounds intervene, and the FET component for pull-up becomes the form with the above-mentioned sense resistance which suiting pulls. Usually, this sense resistance serves as about [500kohm-1M omega] big resistance, and since the resistance of the FET component for pull-up should be just smaller than this big resistance, there is no need of enlarging field size (it is not necessary to make the resistance at the time of a flow small). Consequently, pull-up of the output side of error amplifier can be efficiently carried out to supply voltage.

[0008]

[Example] The short circuit protection network of the voltage regulator concerning the example of this invention is shown in drawing 1 , the short circuit protection network of this voltage regulator consists of the same configuration as a circuit conventionally, and it is the driver FET component P1. Supply voltage VDD is given to a source terminal, the sense resistance R3 (for example, 4 M omega) and R4 (for example, 1 M omega) are arranged to a drain terminal side, and it is the sense resistance R3 and R4. It is an output terminal Vout to a node. It has prepared. Moreover, FET component P3 for pull-up The FET component P2 (P channel) which performs related actuation of pull-up, N1 (N channel), resistance R1, and R2 It is prepared and the error amplifier 1 is the above-mentioned driver FET component P1 about an output side. It connects with a gate terminal and is prepared. And at this invention, it is the above-mentioned FET component P3 for pull-up. A drain terminal is connected to the plus input terminal (C point of drawing) instead of an output terminal of the error amplifier 1.

[0009] the concrete circuit in the above-mentioned error amplifier 1 shows drawing 2 -- having -- **** -- a graphic display -- like -- the FET component P4 of a P channel, and P5 The FET component N2 of an N channel, N3, and N4 from - - it is constituted. And FET component N2 A gate terminal turns into the plus input terminal VIN, and it is the FET component N3. A gate terminal turns into a negative input terminal (Vref) with which reference voltage is set up, and it is this

FET component N3. It is an output terminal VO to a drain side. It is prepared.

[0010] An example consists of the above configuration and explains the operation below. power-outlet terminal Vout of drawing 1 Driver FET component P1 which the electrical potential difference of C point of a graphic display will drive with pulldown ***** to the ground if the load 3 connected short-circuits ***** - an about [1A] big current will flow. therefore, a short circuit condition detects with the error amplifier 1 -- having -- an output side -- a ground -- pulldown ***** - things -- becoming -- the drop of this output voltage -- FET component P2 ON actuation is carried out. On the other hand, it is the driver FET component P1. Since an about [1A] current flows, it is resistance R1. It lets it pass and the flowing current also becomes large. Therefore, FET component N1 The electrical potential difference between the gate-sources rises and it is this FET component N1. ON actuation is carried out and, as a result, it is the FET component P3 for pull-up. ON actuation is carried out. When it does so, supply voltage VDD is the FET component P3 for pull-up. It minds and is given through C point describing above to the plus input terminal side of the error amplifier 1, and pulldown ***** will make a ground the electrical potential difference of this C point in an instant, and pull-up will once be carried out to supply voltage VDD. Consequently, from the error amplifier 1, the electrical potential difference near supply voltage VDD will be outputted, and it is the driver FET component P1 by this output. It is cut off and protected from a short circuit condition.

[0011] In the above-mentioned case, as shown in drawing 2, they are an input terminal VIN and an output terminal VO. It is the FET component N2 in between. The gate will intervene and it is this FET component N2. High resistance will be obtained and, on the other hand, pull-up will be carried out to the parallel resistance of the sense resistance R3 (for example, 4 M omega) and R4 (for example, 1 M omega). Therefore, pull-up FET component P3 Resistance is the juxtaposition sense resistance R3 which is usually about 500kohm-1M omega, and R4. It is the pull-up FET component P3 that what is necessary is just smaller than a value. It is not necessary to make the resistance at the time of a flow

smaller than before. That is, as shown in drawing 2 (b), it is the above-mentioned pull-up FET component P3. If resistance at the time of a flow is set to R_a and drawing 1, C point in drawing 3 and a B point, a ground, and the resistance R_b of a between are considered In the conventional case (drawing 3), Resistance R_b The FET component N3 in the error amplifier 1, As opposed to becoming the small resistance determined with the FET component N4 (between the drain-source) Since it becomes resistance of the gate of the FET component N2 in the error amplifier 1 or the strong sense resistance R3 (for example, 4 M Ω) of Mohm unit, and the parallel resistance of R4 (for example, 1 M Ω) in the case of this invention, C point of drawing is maintainable on a comparatively high electrical potential difference. In the case of drawing 2, the electrical potential difference of $V_C = \{R_b / (R_b + R_a)\} V_{DD}$ occurs at C point, and it is the driver FET component P1 by this. Since it can cut off, it is the pull-up FET component P3. It is not necessary to enlarge a W/L ratio.

[0012] Although the circuit of the type which performs short circuit protection on a forward electrical potential difference explained in the above-mentioned example, in the case of a negative electrical-potential-difference type circuit, this invention is applied also in this case that drawing 1 and the FET component of drawing 3 should just make a P channel and an N channel reverse.

[0013]

[Effect of the Invention] The driver transistor for supplying a power source to a load according to this invention, as explained above, In the short circuit protection network of the voltage regulator which has the error amplifier which detects what the power outlet short-circuited and outputs predetermined cut-off voltage to the gate terminal of a driver transistor When the above-mentioned error amplifier detects a short circuit, pull-up of the input (forward) terminal side of error amplifier is carried out to the supply voltage of a driver transistor. this -- error amplifier -- since, since it was made to output cut-off voltage to a driver transistor The stable short circuit protected operation can be attained without not making small resistance of the FET component for pull-up, and also spoiling the

property of error amplifier in IC circuit of the conventional small size.
Consequently, according to generating of the heat by the overcurrent, destroying IC circuit is also prevented and it can realize effective short circuit protection.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the configuration of the short circuit protection network of the voltage regulator concerning the example of this invention.

[Drawing 2] It is drawing for explaining actuation of an example, and is drawing in which drawing's (a's)'s showing the configuration circuit diagram in error amplifier, and showing the physical relationship of circuit resistance (b).

[Drawing 3] It is the circuit diagram showing the configuration of the short circuit protection network of the conventional voltage regulator.

[Description of Notations]

1 -- Error Amplifier,

3 -- Load,

P1 -- Driver FET component,

[Translation done.]

JPO and NCIP are not responsible for any damages caused by the use of this translation.

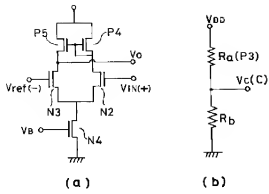
2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

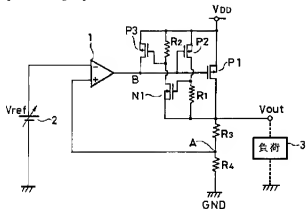
DRAWINGS

Figure 1: Schematic diagram of a precision current source circuit. The circuit includes an operational amplifier (Op-Amp) with its non-inverting input connected to a reference voltage V_{ref} through a resistor R_1 . The inverting input is connected to the gates of two MOSFETs, P1 and P2. The source of P1 is connected to ground, and its drain is connected to the source of P2. The source of P2 is connected to ground through a resistor R_3 . The drain of P2 is connected to V_{DD} through a resistor R_4 . The output voltage V_{out} is taken from the drain of P2. A feedback loop is formed by a resistor R_2 connected between the output V_{out} and the inverting input. A capacitor C is connected between the inverting input and ground. A label "エラーアンプ" (Error Amp) points to the Op-Amp. A label "2" points to the V_{ref} input. A label "3" points to the output V_{out} , which is connected to a load (負荷).

[Drawing 2]



[Drawing 3]



[Translation done.]

(19)日本特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-76133

(43)公開日 平成5年(1993)3月26日

(51)Int. Cl.⁵

H 0 2 H 7/20

識別記号

庁内整理番号

A 7335-5G

F I

技術表示箇所

審査請求 未請求 請求項の枚数 (全 4 頁)

(21)出願番号 特願平3-130377

(22)出願日 平成3年(1991)5月2日

(71)出願人 000191238

新日本無線株式会社

東京都目黒区下目黒1丁目8番1号

(72)発明者 小林 純男

埼玉県上尾市酒匂二丁目1番1号 新日

本無線株式会社川越製作所内

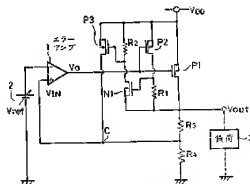
(74)代理人 弁理士 嶋方 健人

(54)【発明の名称】 電圧用 I C の短絡保護回路

(57)【要約】

【目的】 電圧用 I C の短絡保護回路で、従来の小さいサイズのプルアップ用 F E T であっても安定した短絡保護ができるようにする。

【構成】 負荷 3 に対して所定の電圧の電源を供給するためのドライバ F E T (P 1) と、電源出力が短絡したことを検知して所定のカットオフ電圧をドライバ F E T のゲート端子へ出力するエラーアンプ 1 とを有する電源用 I C の短絡保護回路において、上記エラーアンプ 1 が短絡を検知したときにエラーアンプ 1 の正入力端子側をプルアップ用 F E T (P 2) を用いてドライバ F E T の電源電圧へプルアップし、これによってエラーアンプ 1 からカットオフ電圧をドライバ F E T へ出力するようにする。



P1: ドライバ F E T 素子

P2: プルアップ用 F E T 素子

(2)

特開平5-76133

1

【特許請求の範囲】

【請求項1】 負荷に対して所定の電圧の電源を供給するためのドライバトランジスタと、電源出力が短絡したことを検知して所定のカットオフ電圧をドライバトランジスタのゲート端子へ出力するエラアンプと、を有し、上記エラアンプでドライバトランジスタをオフ動作させることにより短絡を保護する電源用ICの短絡保護回路において、上記エラアンプが短絡を検知したときにエラアンプの入力端子側をドライバトランジスタの電源電圧へプルアップし、エラアンプからカットオフ電圧をドライバトランジスタへ出力する構成としたことを特徴とする電源用ICの短絡保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、各種装置に対し所定電圧の電源を供給するための電源用ICの短絡保護回路の構成に関する。

【0002】

【従来の技術】 電源用ICの短絡保護回路は、車両用電源、事務機用電源、家電製品用電源などの各種装置用電源に用いられており、例えば図3のような構成となっている。図3において、保護回路はCMOS（相補型MOS）のFET（電荷移動型トランジスタ）であってPチャネルのFET素子P1、P2、P3、NチャネルのFET素子N1、抵抗R1、R2が設けられ、上記FET素子P1はソース端子が電源（VDD）に接続されてドライバトランジスタとしての役目をし、また上記FET素子P3は上記トライバFET素子P1のゲート側の電位を電源電圧VDDへプルアップする役目をする。このドライバFET素子P1のゲート端子には、電源出力の短絡状態を検知するエラアンプ1の出力側が接続されると共に、このエラアンプ1の出力側に上記プルアップ用FET素子P3のドレイン端子が接続されている。そして、このエラアンプ1の負入力端子には基準電圧源2が接続され、正入力端子には電源出力端子Voutがセンサ抵抗R3を介して接続されており、このエラアンプ1は基準基準電圧Vrefと出力端子電圧の分圧値と比較して短絡状態を検出する。更に、上記ドライバFET素子P1のドレイン端子には出力端子Voutが接続されると共に、センサ抵抗R3、R4が接続され、このセンサ抵抗R3、R4の中間点が上記エラアンプ1の正入力端子に接続される。

【0003】 このような回路によれば、出力端子Voutに負荷3が接続されることになるが、この負荷3が何らかの原因で短絡したとすると、図のA点電位がアースにプルダウンされ、エラアンプ1の正入力端子電圧が基準電圧Vrefよりも低下するので、このエラアンプ1で短絡状態を検知すると共に、出力電圧を所定電圧に低下させる。一方、出力が短絡するとドライバFET素子P1には通常よりも大きな電流が流れるので、FET

2

素子N1のソースドレイン間の電圧が増加してFET素子N1がオンすると共に、プルアップ用FET素子P3もオン動作する。そうすると、このプルアップ用FET素子P3を介して電源電圧VDDのB点に印加されるので、エラアンプ1の出力端子側の電圧が急速に電源電圧VDDへプルアップされ、この結果ドライバFET素子P1のゲート端子へ電源電圧VDDに近い電圧が供給され、ドライバFET素子P1はカットオフされる。このようにして、ドライバFET素子P1への過電流を防止することができ、従ってIC回路の保護ができることになる。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従来の短絡保護回路では、ドライバFET素子P1のゲート電圧を電源電圧VDDに引き上げるために上記プルアップ用FET素子P3の面サイズ、すなわちW/L比を大きくしなければならぬという問題があった。すなわち、短絡時には上記プルアップ用FET素子P3と上記エラアンプ1内のNチャネルのFET（後述の図2のFETN3を参照）が同時にオン動作するが、このFETとの関係で、プルアップ用FET素子P3にて急速に所定のカットオフ電圧を与えるためには、プルアップ用FET素子P3のオン動作時のソースドレイン間の抵抗値を従来より小さくする必要がある。このためには、上記W/L比を、例えばエラアンプ1内のNチャネルのFET素子の4～5倍程度に大きくしなければならぬ。IC回路が大型化してしまうという問題があった。

【0005】 本発明は上記問題点に鑑みてなされたものであり、その目的は、プルアップ用のトランジスタのサイズを大きくすることなく、安定した短絡保護ができる電源用ICの短絡保護回路を提供することにある。

【0006】

【問題を解決するための手段】 上記目的を達成するために、本発明は、負荷に対して所定の電圧の電源を供給するためのドライバトランジスタと、電源出力が短絡したことを検知して所定のカットオフ電圧をドライバトランジスタのゲート端子へ出力するエラアンプと、を有し、上記エラアンプでドライバトランジスタをオフ動作させることにより短絡を保護する電源用ICの短絡保護回路において、上記エラアンプが短絡を検知したときにエラアンプの入力（正）端子側をドライバトランジスタの電源電圧へプルアップし、これによってエラアンプからカットオフ電圧をドライバトランジスタへ出力する構成としたことを特徴とする。

【0007】

【作用】 上記の構成によれば、負荷が短絡した際にはエラアンプの代わりに正入力端子側がプルアップ用FET素子にて電源電圧へプルアップされることになり、これによってエラアンプの出力側も電源電圧へプルアップされることになる。従って、上記エラアンプの出力に

(3)

特開平5-76133

3

よってドライバトランジスタがカットオフされることになり、短絡状態から保護される。上記の場合、プルアップ用のFET素子にはアースとの間にエラープンプ内のNチャネルFET、あるいはドライバトランジスタのアース側に接続されたセンス抵抗を介在させることになり、プルアップ用のFET素子に上記センス抵抗との引っ張り合いの形になる。通常、このセンス抵抗は $500\text{ k}\Omega \sim 1\text{ M}\Omega$ 程度の大きな抵抗値となり、この大きな抵抗値よりもプルアップ用FET素子の抵抗値が小さければよいので、面サイズを小さくする必要が全くない（導通時の抵抗値を小さくする必要がない）。この結果、エラープンプの出力側を電源電圧へ効率よくプルアップさせることができる。

【0008】

【実施例】図1には、本発明の実施例に係る電源用ICの短絡保護回路が示されており、この電源用ICの短絡保護回路は従来回路と同様の構成からなり、ドライバFET素子P1のソース端子に電源電圧VDDが与えられ、ドレイン端子側にはセンス抵抗R3（例えば $4\text{ M}\Omega$ ）、R4（例えば $1\text{ M}\Omega$ ）を配置してセンス抵抗R3、R4との接続点に出力端子Voutを設けている。また、プルアップ用FET素子P3と共に、プルアップの関連動作を行うFET素子P2（Pチャネル）、N1（Nチャネル）、抵抗R1、R2が設けられ、またエラープンプ1が出力側を上記ドライバFET素子P1のゲート端子に接続して設けられている。そして、本発明では上記プルアップ用FET素子P3のドレイン端子を、エラープンプ1の出力端子ではなく、正入力端子（図のC点）に接続する。

【0009】図2には、上記エラープンプ1内の具体的な回路が示されており、図示のようにPチャネルのFET素子P4、P5と、NチャネルのFET素子N2、N3、N4から構成される。そして、FET素子N2のゲート端子が正入力端子V_{in}となり、FET素子N3のゲート端子が基準電圧が設定される負入力端子（V_{ref}）となり、このFET素子N3のドレイン側に出力端子V_{out}が設けられる。

【0010】実施例は以上の構成からなり、以下にその作用を説明する。図1の電源出力端子Voutに接続されている負荷が短絡すると、図示のC点の電圧がアースへプルダウンされると共に、駆動しているドライバFET素子P1には1A程度の大きな電流が流れることになる。従って、エラープンプ1では短絡状態が検知され、出力側もアースへプルダウンされることになり、この出力電圧の低下によってFET素子P2がオン動作する。一方、ドライバFET素子P1に1A程度の電流が流れるので、抵抗R1を通して流れる電流も大きくなる。従って、FET素子N1のゲート・ソース間の電圧が上昇して、このFET素子N1がオン動作し、この結果プルアップ用FET素子P3がオン動作する。そうすると、

(3)

特開平5-76133

4

電源電圧VDDがプルアップ用FET素子P3を介し上記C点を通ってエラープンプ1の正入力端子側へ与えられ、このC点の電圧は一旦アースにプルダウンされるが、瞬時にして電源電圧VDDへプルアップされることになる。この結果、エラープンプ1からは電源電圧VDDに近い電圧が出力されることになり、この出力によってドライバFET素子P1がカットオフされて短絡状態から保護される。

【0011】上記の場合、図2に示されるように、入力端子V_{in}と出力端子V_{out}との間にFET素子N2のゲートが介在することになり、このFET素子N2で高抵抗が得られ、他方ではセンス抵抗R3（例えば $4\text{ M}\Omega$ ）、R4（例えば $1\text{ M}\Omega$ ）の並列抵抗に対してプルアップすることになる。従って、プルアップ用FET素子P3の抵抗値は、通常 $500\text{ k}\Omega \sim 1\text{ M}\Omega$ 程度である並列センス抵抗R3、R4の値よりも小さければよく、プルアップ用FET素子P3の導通時の抵抗値を従来よりも小さくする必要がない。すなわち、図2（b）に示されるように、上記プルアップ用FET素子P3の導通時の抵抗値をR_{3a}とし、図1及び図3でのC点及びB点とアースとの抵抗R_bを考えると、従来の場合（図3）は抵抗R_bがエラープンプ1内のFET素子N3、FET素子N4（ドレイン・ソース間）で決定される小さな抵抗となるのに対し、本発明の場合はエラープンプ1内のFET素子N2のゲートの抵抗あるいは $1\text{ M}\Omega$ 程度の大きなセンス抵抗R3（例えば $4\text{ M}\Omega$ ）、R4（例えば $1\text{ M}\Omega$ ）の並列抵抗となるので、図のC点を比較的高い電圧に維持することができる。図2の場合は、 $V_C = [R_b / (R_b + R_a)] \cdot V_{DD}$ の電圧がC点に発生し、これによってドライバFET素子P1をカットオフすることができるので、プルアップ用FET素子P3のW/L比を大きくする必要がない。

【0012】上記実施例では、正電圧で短絡保護を行うタイプの回路が説明したが、負電圧タイプの回路の場合は、図1及び図3のFET素子PはPチャネルとNチャネルを逆にすればよく、この場合にも本発明が適用される。

【0013】

【発明の効果】以上説明したように、本発明によれば、負荷に対して電源を供給するためのドライバトランジスタと、電源出力が短絡したことを検出して所定のカットオフ電圧をドライバトランジスタのゲート端子へ出力するエラープンプとを有する電源用ICの短絡保護回路において、上記エラープンプが短絡を検出したときにエラープンプの入力（正）端子側をドライバトランジスタの電源電圧へプルアップし、これによってエラープンプでからカットオフ電圧をドライバトランジスタへ出力するようにしたので、プルアップ用FET素子の抵抗を小さくする必要がなく、従来より小さいサイズのIC回路で、エラープンプの特性も損ねることなく、安定した短絡保

40

50

(4)

特開平5-76133

5

6

誤動作を達成することができる。この結果、過電流による熱の発生によってIC回路を破壊することも防止され、有効な短絡保護が実現できる。

【図面の簡単な説明】

【図1】本発明の実施例に係る電源用ICの短絡保護回路の構成を示す回路図である。

【図2】実施例の動作を説明するための図であり、図(a)はエラーアンプ内の構成回路図、図(b)は回路抵抗の位置関係を示す図である。

【図3】従来の電源用ICの短絡保護回路の構成を示す本10

* 回路図である。

【符号の説明】

1 … エラーアンプ、

3 … 負荷、

P1 … ドライバFET素子、

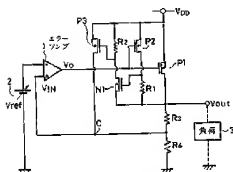
P3 … プルアップ用FET素子、

P2、P4、P5 … PチャネルFET、

N1、N2、N3、N4 … NチャネルFET、

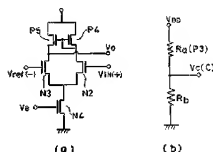
R3、R4 … センس抵抗。

【図1】



P1: ドライバFET素子
P3: プルアップ用FET素子

【図2】



【図3】

